

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-298001

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 29/786

(21)Application number : 10-104563

(71)Applicant : NEC CORP

(22)Date of filing : 15.04.1998

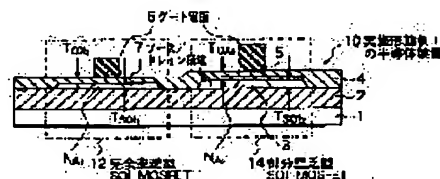
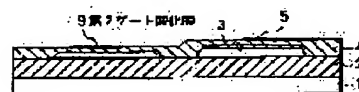
(72)Inventor : IMAI KIYOTAKA

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device provided with a completely depleted MOSFET and a partially depleted MOSFET, both having satisfactory characteristics on the same substrate without controlling the impurity concentrations in channel regions and a method for manufacturing the device.

**SOLUTION:** This semiconductor device 10 is provided with a completely depleted silicon-on-insulator(SOI) MOSFET 12 and a partially depleted SOI MOSFET 14, which are separated from each other by a element separating film 4 on the same SOI substrate. The substrate has an embedded oxide film 2 and an SOI film 3 successively formed on a silicon substrate 1. The film thicknesses of the gate oxide film 5 and SOI layer 3 of the completely depleted SOI MOSFET 12 are made smaller than those of the gate oxide film 5 and SOI layer 3 of the partially depleted SOI MOSFET 14, and the impurity concentration in the channel region of the MOSFET 12 is made lower than that in the channel region of the MOSFET 14.



## LEGAL STATUS

[Date of request for examination] 15.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3265569

[Date of registration] 11.01.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-298001

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/786

識別記号

F I

H 0 1 L 29/78

6 1 3 Z

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平10-104563

(22) 出願日 平成10年(1998)4月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 今井 清隆

東京都港区芝五丁目7番1号 日本電気株式会社内

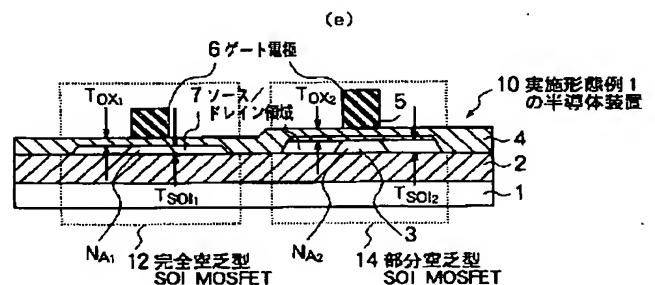
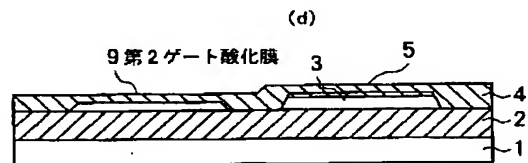
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 チャネル領域の不純物濃度の制御によることなく、同一基板上に良好な特性を有する完全空乏型MOSFETと部分空乏型MOSFETとを有する半導体装置及びその製造方法を提供する。

【解決手段】 本半導体装置10は、素子分離膜4によって素子分離された完全空乏型SOI・MOSFET12と部分空乏型SOI・MOSFET14とを同一SOI基板上に備えている。SOI基板は、シリコン基板1上に埋込酸化膜2及びSOI層3を順次有する。完全空乏型MOSFETでは、ゲート酸化膜5の膜厚 $T_{ox1}$  = 8 nmであり、SOI層3の膜厚 $T_{soi1}$  = 56 nmであり、チャネル領域のボロン濃度 $NA1$  =  $3 \times 10^{17} \text{ cm}^{-3}$ である。一方、部分空乏型MOSFETでは、ゲート酸化膜5の膜厚 $T_{ox2}$  = 12 nmであり、SOI層3の膜厚 $T_{soi2}$  = 59 nmであり、チャネル領域のボロン濃度 $NA2$  =  $5 \times 10^{17} \text{ cm}^{-3}$ である。



## 【特許請求の範囲】

【請求項1】 部分空乏型SOI・MOSFETと完全空乏型SOI・MOSFETとを同一基板上に備えた半導体装置において、

完全空乏型SOI・MOSFETのゲート酸化膜の膜厚、SOI層の膜厚及びチャネル領域の不純物濃度が、部分空乏型SOI・MOSFETのゲート酸化膜の膜厚、SOI層の膜厚及びチャネル領域の不純物濃度より、それぞれ、小さな値であることを特徴とする半導体装置。

【請求項2】 部分空乏型SOI・MOSFETと完全空乏型SOI・MOSFETとを同一基板上に備えた半導体装置において、

完全空乏型SOI・MOSFET及び部分空乏型SOI・MOSFETは、それぞれ、同じ膜厚のゲート酸化膜を有し、かつ完全空乏型SOI・MOSFETのSOI層の膜厚及びチャネル領域の不純物濃度が、部分空乏型SOI・MOSFETのSOI層の膜厚及びチャネル領域の不純物濃度より、それぞれ、小さな値であることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置を製造する方法において、

シリコン基板上に埋込酸化膜及びSOI層を順次有するSOI基板のSOI層を素子分離して完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域を形成する工程と、

完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層にしきい値制御用として同じ不純物を同じドーズ量で注入する注入工程と、

次いで、双方の領域のSOI層上に第1のゲート酸化膜を成膜する第1のゲート酸化膜成膜工程と、

完全空乏型SOI・MOSFET形成領域のSOI層上の第1のゲート酸化膜を除去する工程と、

部分空乏型SOI・MOSFET形成領域のゲート酸化膜より膜厚の薄いゲート酸化膜を完全空乏型SOI・MOSFET形成領域に成膜する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項4】 請求項2に記載の半導体装置を製造する方法において、

シリコン基板上に埋込酸化膜及びSOI層を順次有するSOI基板のSOI層を素子分離して完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域を形成する工程と、

完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層にしきい値制御用として同じ不純物を同じドーズ量で注入する注入工程と、

次いで、双方の領域のSOI層上に第1のゲート酸化膜を成膜する第1のゲート酸化膜成膜工程と、

完全空乏型SOI・MOSFET形成領域のSOI層上の第1のゲート酸化膜を除去する工程と、

部分空乏型SOI・MOSFET形成領域のゲート酸化膜より膜厚の薄いゲート酸化膜を完全空乏型SOI・MOSFET形成領域に成膜する工程と完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層上のゲート酸化膜を除去する工程と、

次いで、完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層上に新たなゲート酸化膜を成膜する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項5】 完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層上に新たなゲート酸化膜を成膜する工程では、完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層上に同じ膜厚のゲート酸化膜を成膜することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 部分空乏型SOI・MOSFET及び完全空乏型SOI・MOSFETがn型チャネルMOSFETであって、

注入工程でボロンを注入することを特徴とする請求項3から5のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項7】 第1のゲート酸化膜の成膜工程では、熱酸化法によりゲート酸化膜を成膜することを特徴とする請求項3から6のうちのいずれか1項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、部分空乏型SOI・MOSFETと完全空乏型SOI・MOSFETとを同一基板上に備えた半導体装置及びその製造方法に関し、更に詳細には完全空乏型SOI・MOSFETと部分空乏型SOI・MOSFETのしきい値電圧の差が小さく、かつ完全空乏型SOI・MOSFETのチャネル領域の不純物濃度を従来よりも高くした半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 シリコン・オン・インシュレータ(SOI)層を有するSOI基板上に形成されたSOI・MOSFETは、従来のバルク基板上に形成されたMOSFETに比べて、ソース/ドレイン領域の接合容量が小さいこと、基板バイアス効果が小さいことなどのメリットがあり、高速動作性に優れたデバイスとして注目されている。

【0003】 SOI・MOSFETには、部分空乏型SOI・MOSFETと、完全空乏型SOI・MOSFETの2種類がある。部分空乏型SOI・MOSFETと

は、SOI層の膜厚 $T_{SOI}$ が最大空乏層幅 $W_{max}$ よりも薄いMOSFETであり、完全空乏型SOI・MOSFETとは、SOI層の膜厚 $T_{SOI}$ が最大空乏層幅 $W_{max}$ よりも厚いMOSFETである。ところで、最大空乏層幅 $W_{max}$ は次式で与えられる。

$$W_{max} = (2 \epsilon_{si} \epsilon_0 2 \phi_F / q N_A)^{1/2} \quad \text{--- (1) 式}$$

$$\phi_F = (kT/q) \ln (N_A / n_i)$$

$$= 0.0259 \ln (N_A / 1.5 \times 10^{10}) \quad (T = 300K \text{ の場合})$$

ここで、 $\epsilon_{si}$ ：シリコンの比誘電率、 $\epsilon_0$ ：真空の誘電率、 $q$ ：素電荷

$N_A$ ：不純物濃度、 $k$ ：ボルツマン定数、 $T$ ：温度。

【0004】部分空乏型SOI・MOSFETは、しきい値電圧を高く設定できるため、トランジスタのスタンバイリーク電流を低く抑えることができる。一方、完全空乏型SOI・MOSFETは、サブスレッシュホールドスイング(S)値を低くすることができ、低電圧で高速動作できる。そこで、これら2種類のMOSFETを同一SOI基板上に形成し、回路上で組み合わせることにより、携帯用電気・電子機器に使用するLSIとして最適な、スタンバイリーク電流が低く、低電圧で高速動作する優れた特性のLSIを形成することができる。

【0005】ところで、部分空乏型SOI・MOSFETを形成するためには、SOI層の膜厚 $T_{SOI}$ を厚くするか、もしくは(1)式に従って不純物濃度 $N_A$ を高くして $W_{max}$ を小さくするように設計しなければならない。一方、完全空乏型SOI・MOSFETを形成するためには、SOI層の膜厚 $T_{SOI}$ を薄くするか、もしくは(1)式に従って不純物濃度 $N_A$ を低くして $W_{max}$ を小さくするように設計する必要がある。

【0006】例えば、M. J. Sherony, et al., "Minimization of Threshold Voltage Variation in SOI MOSFETs", Proceedings 1994 IEEE International SOI Conference, pp. 131-132, Oct., 1994 によれば、しきい値電圧 $V_t$ がSOI層の膜厚 $t_{si}$ に依存せず一定の値を維持している領域は、部分空乏型MOSFETになっており、一方、しきい値 $V_t$ がSOI層の膜厚 $t_{si}$ の低下と共に低下している領域は、完全空乏型MOSFETになっている。更に、前掲文献によれば、SOI層の膜厚 $T_{SOI2} = 5.9 \text{ nm}$ 、チャネル領域の不純物濃度 $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ では部分空乏型SOI・MOSFETであり、SOI層の膜厚 $T_{SOI1} = 5.9 \text{ nm}$ 、チャネル領域の不純物濃度 $N_A = 2 \times 10^{17} \text{ cm}^{-3}$ では完全空乏型SOI・MOSFETになるとしている。

【0007】ここで、図5を参照して、完全空乏型MOSFETと部分空乏型MOSFETとを同一基板上に備えた半導体装置の従来の製造方法を説明する。本方法は、チャネル領域の不純物濃度を変えることによりnチャネル型の部分空乏型SOI・MOSFETとnチャネル型の完全空乏型SOI・MOSFETとを同一基板上

に形成する。まず、図5(a)に示すように、シリコン基板1、埋込酸化膜2、SOI層3からなるSOI基板上に素子分離酸化膜4を成膜して、完全空乏型SOI・MOSFET形成領域12及び部分空乏型SOI・MOSFET形成領域14を形成する。素子分離酸化膜4の形成後のSOI層3の膜厚は、例えば63nmに設定する。次いで、しきい値制御用の不純物として、第1ゲートボロン注入工程でボロンの注入を行う。第1ゲートボロン注入のドーズ量は、完全空乏型SOI・MOSFETが形成されるような濃度、例えば $2 \times 10^{17} \text{ cm}^{-3}$ に設定される。

【0008】次に、図5(b)に示すように、フォトリソグラフィによりレジストからなるマスクを完全空乏型SOI・MOSFET形成領域12に形成し、部分空乏型SOI・MOSFET形成領域14のみに、選択的に、しきい値制御用の不純物として、第2ゲートボロン注入工程でボロンの注入を行う。第2ゲートボロン注入工程でのドーズ量は、先の第1ゲートボロン注入工程でのドーズ量と併せて、部分空乏型SOI・MOSFETが形成されるような濃度、例えば $5 \times 10^{17} \text{ cm}^{-3}$ に設定される。

【0009】次に、図5(c)に示すように、マスクを除去し、SOI基板上全域に所定の膜厚、例えば8nmの膜厚のゲート酸化膜5を形成する。このとき、SOI層3の膜厚はゲート酸化膜5の成膜によって減少し、5.9nm程度になる。最後に、図5(d)に示すように、ゲート電極6を形成し、更にソース/ドレイン領域形成のための不純物注入を行って、ソース/ドレイン領域7を形成する。

【0010】以上の製造方法によって、完全空乏型MOSFET12では、SOI層3の膜厚 $T_{SOI1}$ は、 $T_{SOI1} = 5.9 \text{ nm}$ 、チャネル領域の不純物濃度 $N_A$ は、 $N_A = 2 \times 10^{17} \text{ cm}^{-3}$ となる。一方、部分空乏型MOSFET14では、SOI層の膜厚 $T_{SOI2}$ は、 $T_{SOI2} = 5.9 \text{ nm}$ 、チャネル領域の不純物濃度 $N_A$ は、 $N_A = 5 \times 10^{17} \text{ cm}^{-3}$ となる。

【0011】

【発明が解決しようとする課題】しかしながら、上記の方法では不純物濃度のみで部分空乏型SOI・MOSFET14と完全空乏型SOI・MOSFET12を造り分けているため、部分空乏型MOSFET14と完全空乏型MOSFET12のしきい値電圧 $V_t$ の差が、例えば前掲文献に記載の例では0.5Vにもなるために、動作性で劣り、また、完全空乏型SOI・MOSFET12の不純物濃度を大幅に低くする必要があり、ショートチャネル効果に対して弱くなるという問題を招く。一方、部分空乏型SOI・MOSFET14と完全空乏型SOI・MOSFET12の双方をそれぞれ最適な構成で形成するためには、部分空乏型SOI・MOSFET14と完全空乏型SOI・MOSFET12毎にそれぞれ

れの不純物濃度及びSOI層の膜厚を最適化する必要があり、プロセス工数が増大し、製造コストの増大を招く。

【0012】そこで、本発明の目的は、チャネル領域の不純物濃度制御によることなく、同一基板上に良好な特性を有する完全空乏型MOSFETと部分空乏型MOSFETとを有する半導体装置及びその製造方法を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体装置（以下、第1の発明）は、部分空乏型SOI・MOSFETと完全空乏型SOI・MOSFETとを同一基板上に備えた半導体装置において、完全空乏型SOI・MOSFETのゲート酸化膜の膜厚、SOI層の膜厚及びチャネル領域の不純物濃度が、部分空乏型SOI・MOSFETのゲート酸化膜の膜厚、SOI層の膜厚及びチャネル領域の不純物濃度より、それぞれ、小さな値であることを特徴としている。

【0014】また、本発明に係る別の半導体装置（以下、第2の発明）は、部分空乏型SOI・MOSFETと完全空乏型SOI・MOSFETとを同一基板上に備えた半導体装置において、完全空乏型SOI・MOSFET及び部分空乏型SOI・MOSFETは、それぞれ、同じ膜厚のゲート酸化膜を有し、かつ完全空乏型SOI・MOSFETのSOI層の膜厚及びチャネル領域の不純物濃度が、部分空乏型SOI・MOSFETのSOI層の膜厚及びチャネル領域の不純物濃度より、それぞれ、小さな値であることを特徴としている。

【0015】上記第1の発明の半導体装置を製造する方法は、シリコン基板上に埋込酸化膜とSOI層とを有するSOI基板のSOI層を素子分離して完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域を形成する工程と、双方のSOI層にしきい値制御用として同じ不純物を同じドーズ量で注入する注入工程と、次いで、双方の領域のSOI層上に第1のゲート酸化膜を成膜する第1のゲート酸化膜成膜工程と、完全空乏型SOI・MOSFET形成領域のSOI層上の第1のゲート酸化膜を除去する工程と、部分空乏型SOI・MOSFET形成領域のゲート酸化膜より膜厚の薄いゲート酸化膜を完全空乏型SOI・MOSFET形成領域に成膜する工程とを備えていることを特徴としている。

【0016】上記第2の発明の半導体装置を製造する方法は、シリコン基板上に埋込酸化膜及びSOI層を順次有するSOI基板のSOI層を素子分離して完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域を形成する工程と、双方のSOI層にしきい値制御用として同じ不純物を同じドーズ量で注入する注入工程と、双方の領域のSOI層上に第1のゲート酸化膜を成膜する第1のゲート酸化膜成膜工程

と、完全空乏型SOI・MOSFET形成領域のSOI層上の第1のゲート酸化膜を除去する工程と、部分空乏型SOI・MOSFET形成領域のゲート酸化膜より膜厚の薄いゲート酸化膜を完全空乏型SOI・MOSFET形成領域に成膜する工程と完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層上のゲート酸化膜を除去する工程と、次いで、完全空乏型SOI・MOSFET形成領域及び部分空乏型SOI・MOSFET形成領域の双方のSOI層上に新たなゲート酸化膜を成膜する工程とを備えていることを特徴としている。

【0017】

【発明の実施の形態】以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

#### 実施形態例1

本実施形態例は、第1の発明の半導体装置の実施形態の一例であって、図2（e）は本実施形態例の半導体装置10の層構造を示す断面図である。なお、図1から図4に示すもののうち図5に示すものと同じ機能を有するものには同じ符号を付している。本実施形態例の半導体装置10は、図2（e）に示すように、素子分離膜4によって素子分離された完全空乏型SOI・MOSFET12と部分空乏型SOI・MOSFET14とを同一SOI基板上に備えている。SOI基板は、シリコン基板1上に埋込酸化膜2及びSOI層3を順次有する。

【0018】半導体装置10の完全空乏型SOI・MOSFET12では、ゲート酸化膜5の膜厚 $T_{ox1}$ は、 $T_{ox1}=8\text{ nm}$ であり、SOI層3の膜厚 $T_{soi1}$ は、 $T_{soi1}=56\text{ nm}$ であり、チャネル領域のボロン濃度 $NA1$ は、 $NA1=3\times 10^{17}\text{ cm}^{-3}$ である。一方、部分空乏型SOI・MOSFET14では、ゲート酸化膜5の膜厚 $T_{ox2}$ は、 $T_{ox2}=12\text{ nm}$ であり、SOI層3の膜厚 $T_{soi2}$ は、 $T_{soi2}=59\text{ nm}$ であり、チャネル領域のボロン濃度 $NA2$ は、 $NA2=5\times 10^{17}\text{ cm}^{-3}$ である。

【0019】次に、図1及び図2を参照して、実施形態例1の半導体装置10の製造方法を説明する。図1

（a）から（c）及び図2（d）と（e）は、半導体装置10を製造する各工程での層構造を示す断面図である。まず、図1（a）に示すように、シリコン基板1上に埋込酸化膜2及びシリコン・オン・インシュレータ（SOI）層3を順次有するSOI基板上に素子分離酸化膜4を成膜して、完全空乏型SOI・MOSFET形成領域12及び部分空乏型SOI・MOSFET形成領域14を形成する。素子分離酸化膜4を形成した後のSOI層3の膜厚は、例えば65 nmに設定する。その後、しきい値制御用のゲートボロン注入をSOI層3に行う。このゲートボロン注入のドーズ量は、例えば $5\times 10^{17}\text{ cm}^{-3}$ に設定する。次に、図1（b）に示すよう

に、SOI基板上全面に膜厚10nmの第1ゲート酸化膜8を成長させる。第1ゲート酸化膜8の成長工程で、SOI層3の表層のシリコンが、酸化膜成長のために消費されるので、SOI層3の膜厚は約60nmに減少する。

【0020】次に、図1(c)に示すように、フォトリソグラフィとエッチングによりレジストからなるマスクを部分空乏型SOI・MOSFET形成領域14に形成し、完全空乏型SOI・MOSFET形成領域12の第1ゲート酸化膜8を選択的に除去する。図1(c)中、5は部分空乏型SOI・MOSFET形成領域14に残留した第1ゲート酸化膜を意味する。

【0021】次に、図2(d)に示すように、マスクを除去し、基板全域に第2ゲート酸化膜9を成膜する。完全空乏型SOI・MOSFET形成領域12では、第2ゲート酸化膜9の膜厚は8nmになる。また、第2ゲート酸化膜9の成膜のために、第2ゲート酸化膜9の下地のSOI層3の膜厚は56nmに減少する。一方、第1のゲート酸化膜5を残した部分空乏型SOI・MOSFET形成領域14上のゲート酸化膜5の膜厚は、追加酸化になるので、12nmに増大し、SOI層3の膜厚は59nmになる。また、完全空乏型SOI・MOSFET形成領域12では、チャネル領域のボロンが第1ゲート酸化膜の成膜時に第1ゲート酸化膜8中に取り込まれ、次いで酸化膜エッチング時に失われるため、チャネル領域のボロン濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ から $3 \times 10^{17} \text{ cm}^{-3}$ に低下する。

【0022】次に、図2(e)に示すように、完全空乏型SOI・MOSFET形成領域12及び部分空乏型SOI・MOSFET形成領域14にそれぞれゲート電極6を形成する。以上の工程を経て、完全空乏型SOI・MOSFET12では、ゲート酸化膜5の膜厚 $T_{ox1}$ は、 $T_{ox1} = 8 \text{ nm}$ であり、SOI層3の膜厚 $T_{SOI1}$ は、 $T_{SOI1} = 56 \text{ nm}$ であり、チャネル領域のボロン濃度 $NA1$ は、 $NA1 = 3 \times 10^{17} \text{ cm}^{-3}$ である。一方、部分空乏型SOI・MOSFET形成領域14では、ゲート酸化膜5の膜厚 $T_{ox2}$ は、 $T_{ox2} = 12 \text{ nm}$ であり、SOI層3の膜厚 $T_{SOI2}$ は、 $T_{SOI2} = 59 \text{ nm}$ であり、チャネル領域のボロン濃度 $NA2$ は、 $NA2 = 5 \times 10^{17} \text{ cm}^{-3}$ である。

【0023】本実施形態例では、従来の製造方法から工程数を増加させることなく、完全空乏型SOI・MOSFET12のSOI層の膜厚 $T_{SOI1}$ 及びボロン濃度 $NA1$ の両方を部分空乏型SOI・MOSFET14より低くすることができる。更に、チャネル領域の不純物濃度のみを調整した従来例に比べ、完全空乏型SOI・MOSFET12と部分空乏型SOI・MOSFET14の間のしきい値電圧 $V_t$ の差は、0.3V程度と小さくすることができる。また、完全空乏型SOI・MOSFET12の不純物濃度を従来例よりも高く設定できるの

で、ショートチャネル効果にも強い構造となる。

#### 【0024】実施形態例2

本実施形態例は、第2の発明に係る半導体装置の実施形態の一例である。図4(f)は本実施形態例の半導体装置の層構造を示す断面図である。本実施形態例の半導体装置20は、図4(f)に示すように、素子分離膜4によって素子分離された完全空乏型SOI・MOSFET12と部分空乏型SOI・MOSFET14とを同一SOI基板上に備えている。SOI基板は、シリコン基板1上に埋込酸化膜2とSOI層3とを備えている。半導体装置10の部分空乏型SOI・MOSFET12では、SOI層3の膜厚 $T_{SOI2}$ は、 $T_{SOI2} = 59 \text{ nm}$ であり、チャネル領域のボロン濃度 $NA2$ は、 $NA2 = 5 \times 10^{17} \text{ cm}^{-3}$ である。一方、完全空乏型SOI・MOSFET14では、SOI層3の膜厚 $T_{SOI1}$ は、 $T_{SOI1} = 56 \text{ nm}$ であり、チャネル領域のボロン濃度 $NA1$ は、 $NA1 = 3 \times 10^{17} \text{ cm}^{-3}$ である。実施形態例1の半導体装置10とは異なり、本実施形態例の半導体装置20は、部分空乏型SOI・MOSFET14と完全空乏型SOI・MOSFET12とは同じ膜厚のゲート酸化膜5を有する。

【0025】次に、図3及び図4を参照して、実施形態例2の半導体装置20の製造方法を説明する。図3

(a)から(c)及び図4(d)～(f)は半導体装置20を製造する各工程での層構造を示す断面図である。先ず、図3(a)に示すように、シリコン基板1上に埋込酸化膜2、SOI層3を順次有するSOI基板上に素子分離酸化膜4を成膜して、完全空乏型SOI・MOSFET形成領域12及び部分空乏型SOI・MOSFET形成領域14を形成する。素子分離酸化膜4を形成した後のSOI層3の膜厚は、例えば65nmに設定する。次いで、しきい値制御用のゲートボロン注入をSOI層3に行う。このゲートボロン注入のドーズ量は、例えば $5 \times 10^{17} \text{ cm}^{-3}$ に設定する。次に、図3(b)に示すように、SOI基板上に膜厚10nmの第1ゲート酸化膜8を成長させる。このとき、第1ゲート酸化膜の成膜によりSOI層3の表層のシリコンが消費されるため、SOI層3の膜厚は約60nmとなる。

【0026】次に、図3(c)に示すように、フォトリソグラフィとエッチングによりレジストからなるマスクを部分空乏型SOI・MOSFET形成領域14に形成し、完全空乏型SOI・MOSFET形成領域12の第1ゲート酸化膜8を選択的に除去する。図4(c)中、5は部分空乏型SOI・MOSFET形成領域14に残留する第1ゲート酸化膜を意味する。

【0027】次に、図4(d)に示すように、レジストマスクを除去し、SOI基板全域に第2ゲート酸化膜9を成膜する。この時、第1ゲート酸化膜8を取り除いた完全空乏型MOSFET形成領域12では、ゲート酸化膜9の膜厚は8nmになり、SOI層3の膜厚は56nm

mとなる。また、完全空乏型SOI・MOSFET形成領域12では、チャネル領域のボロンが第1ゲート酸化膜の成膜時に第1ゲート酸化膜8中に取り込まれ、次いで酸化膜エッチング時に失われるため、チャネル領域のボロン濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ から $3 \times 10^{17} \text{ cm}^{-3}$ に低下する。一方、第1のゲート酸化膜5が残された部分空乏型SOI・MOSFET形成領域14上のゲート酸化膜の膜厚は、追加酸化になるために、12nmになり、SOI層3の膜厚は59nmとなる。

【0028】次に、図4(e)に示すように、完全空乏型SOI・MOSFET形成領域12及び部分空乏型SOI・MOSFET形成領域14から第2ゲート酸化膜9を全て取り除く。続いて、図2(f)に示すように、膜厚8nmの第3ゲート酸化膜23を成長させ、次いでゲート電極6を形成する。

【0029】実施形態例2では、完全空乏型SOI・MOSFET12と部分空乏型SOI・MOSFET14とは、実施形態例1と同様に、それぞれ異なるSOI膜厚と不純物濃度を有し、一方、ゲート酸化膜として同じ膜厚のゲート酸化膜23を有する。

【0030】

【発明の効果】本発明によれば、完全空乏型SOI・MOSFETのゲート酸化膜の膜厚、SOI層の膜厚及びチャネル領域の不純物濃度を、部分空乏型SOI・MOSFETのゲート酸化膜の膜厚、SOI層の膜厚及びチャネル領域の不純物濃度より小さな値にすることにより、チャネル領域の不純物濃度制御によることなく、また、従来に比べて工数を増やすことなく、同一基板上にしきい値電圧の差の小さい良好な特性を有する完全空乏型MOSFETと部分空乏型MOSFETとを有する半導体装置を実現している。本発明方法は、本発明に係る半導体装置を製造する好適な方法を実現している。

#### 【図面の簡単な説明】

【図1】図1(a)から(c)は、それぞれ、実施形態例1の半導体装置を製造する各工程での層構造を示す断面図である。

【図2】図2(d)と(e)は、それぞれ、図1(c)に続いて、実施形態例1の半導体装置を製造する各工程での層構造を示す断面図である。

【図3】図3(a)から(c)は、それぞれ、実施形態例2の半導体装置を製造する各工程での層構造を示す断面図である。

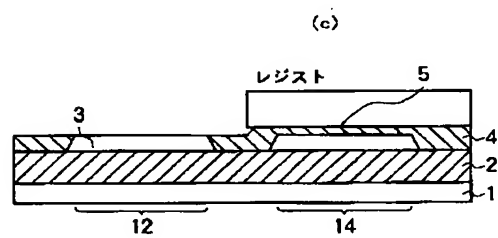
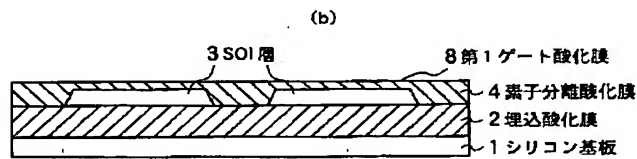
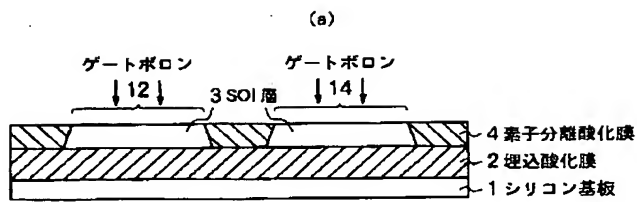
【図4】図4(d)から(f)は、それぞれ、図3(c)に続いて、実施形態例2の半導体装置を製造する各工程での層構造を示す断面図である。

【図5】図5(a)から(d)は、それぞれ、従来の半導体装置を製造する各工程での層構造を示す断面図である。

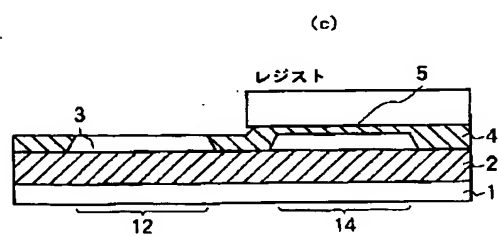
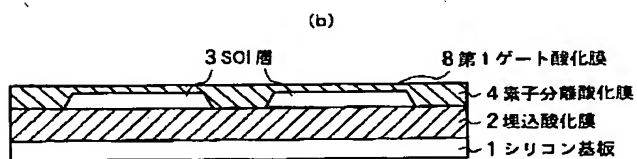
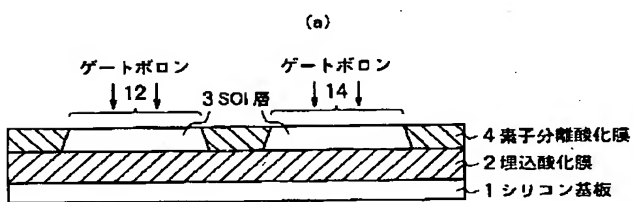
#### 【符号の説明】

- 1 シリコン基板
- 2 埋込酸化膜
- 3 SOI層
- 4 素子分離酸化膜
- 5 部分空乏型SOI・MOSFET形成領域の第1ゲート酸化膜
- 6 ゲート電極
- 8 第1ゲート酸化膜
- 10 実施形態例1の半導体装置
- 12 完全空乏型SOI・MOSFET及びその形成領域
- 14 部分空乏型SOI・MOSFET及びその形成領域
- 20 実施形態例2の半導体装置

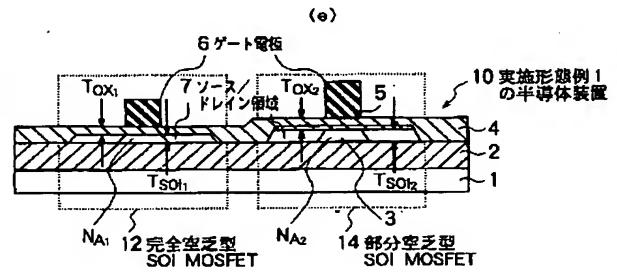
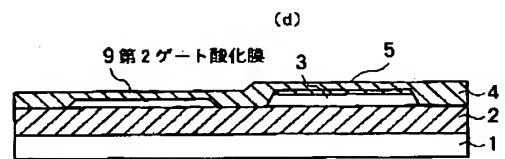
【図 1】



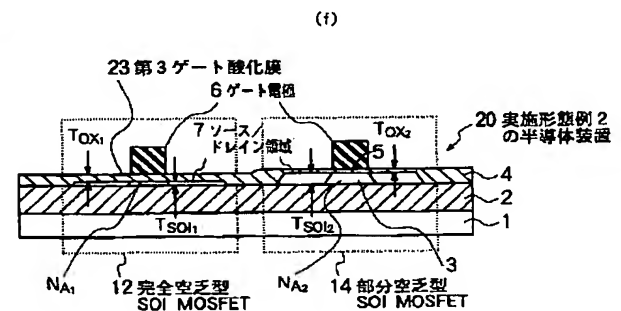
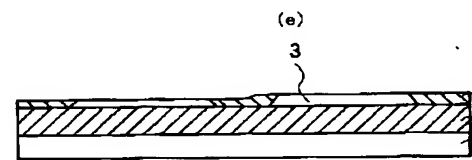
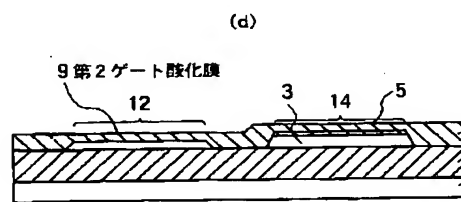
【図 3】



【図 2】



【図 4】





【図 5】

